

Formation en 2 jours

Présentation

Cette formation permet d'acquérir toute la connaissance théorique et pratique du Langage de Spécification de Propriétés (PSL) qui est désormais un standard **IEEE 1850** et qui fait aussi partie de VHDL 2008.

Dans le flot de conception et de vérification de systèmes numériques, l'adoption des Assertions est une étape décisive qui permet d'améliorer considérablement la qualité des projets, de réduire les temps de développement ainsi que les efforts de vérification. Cette méthodologie permet aussi de lever les ambiguïtés des spécifications et de faciliter grandement la mise au point (recherche et corrections de bugs).

C'est pourquoi la mise en œuvre de PSL est recommandé pour tous les acteurs du flot de conception, depuis l'architecte jusqu'à l'équipe de vérification, en passant par l'équipe de codage RTL.

Cette formation couvre non seulement le langage PSL mais aussi la *méthodologie*, avec une mise en pratique concrète et approfondie à travers les nombreux exercices pratiques et progressifs.

Ce cours, comme le Langage PSL IEEE 1850, est complètement indépendant des différents vendeurs et il sera applicable pour tous les outils du marché comme les simulateurs, les outils de preuve formelle, etc.

A qui est destiné cette Formation ?

- Aux Architectes Système et à toute personne impliquée dans la description ou la spécification,
- Aux Ingénieurs de Conception (RTL),
- Aux Ingénieurs de Vérification,
- Aux Responsables de Groupe et Chefs de Projets en charge de la Méthodologie et intéressés par l'utilisation d'ABV pour augmenter la fiabilité des produits, la qualité du code, et la productivité des différentes équipes.

Objectifs pédagogiques

- Comprendre les bénéfices de la Méthodologie de Vérification par Assertions (ABV)
- Maîtriser le Langage PSL IEEE 1850 : Propriétés, Assertions, Layer booléen et Temporel, Séquences, Couverture fonctionnelle...
- Mettre en pratique le langage et la méthodologie sur des exemples pratiques et concrets.

Contenu de la Formation

- Les Propriétés (*Properties*) et le Langage PSL dans le processus de développement et de vérification.
- Le rôle des propriétés dans le test directif, le random contraint, et la vérification statique formelle.
- Savoir tirer le meilleur parti des Propriétés dans les flots de conception et de vérification.
- Syntaxe et sémantique du langage PSL avec ses différentes couches (layer booléen, temporel...)
- Comment écrire des propriétés efficaces et sûres, savoir éviter les pièges classiques.
- Utiliser PSL avec le simulateur HDL de votre choix, ou des outils formels.
- PSL pour Mesurer la Couverture Fonctionnelle
- Méthodologie pour la conception d'Assertions PSL
- Utiliser PSL avec des System On Chips et bus AMBA..

Connaissances requises

La maîtrise préalable du langage VHDL (ou Verilog) est essentielle, la pratique préalable d'un simulateur est vivement recommandée.

Supports de cours

Les manuels de cours Doulos sont réputés pour être détaillés, précis et faciles d'utilisation. Leur style, leur contenu et leur exhaustivité sont uniques dans le monde de la formation. Ils sont souvent utilisés ensuite comme référence.

Sont compris dans la formation :

- Le Classeur du cours théorique complet, avec un Index. Il constitue un Manuel de Référence concis.
- Le Cahier d'exercices pratiques qui permet de mettre en œuvre les connaissances théoriques.
- Les fichiers des exercices et solutions.
- Le « Doulos Golden Reference Guide », aide-mémoire PSL complet et pratique (syntaxe, sémantique et astuces).

AGENDA

Les propriétés

- Propriétés • Assertions • Simulation checkers • Exploration de l'espace State
- Assumptions et restrictions en vérification statique de propriétés • Couverture de Vérification et corner cases
- Méthodologie Assume-guarantee • Couverture d'Assertion • Propriétés Automatiques

Méthodologie et bénéfices

- Qui écrit les propriétés ? • Les propriétés et la spécification • Les Propriétés pour les ingénieurs de Design et de Vérification • Observabilité et localisation des erreurs de design • ré-utilisation des Propriétés
- Debugger les propriétés • Desnité des Assertion • Impact sur les standards de documentation et de revue

Le Langage PSL

- Les couches : Booléenne, Temporelle, Vérification et Modélisation • Les parfums VHDL et Verilog
- Les Horloges • les directives de Vérification • Les unités de vérification • Propriétés nommées
- Les propriétés de Safety et de liveness • Problématiques de Simulation et du Simple Subset
- Utiliser PSL avec un simulateur HDL.

Les Opérateurs Temporels

- Les opérateurs temporels par l'exemple • always • never • next • eventually!
- rose(), fell() and prev() • until • before • abort • Règles de précedence des Opérateurs
- Utiliser les opérateurs temporels pour des propriétés classiques.

Les Séquences

- Séquences et SEREs (Sequential Extended Regular Expressions) • Implications de Séquences
- Opérateurs de Répétition • Séquences Paramétrées • Opérateurs de composition de Séquences
- Pratiquer les formes typiques de propriétés temporelles PSL

Développer une Méthodologie

- Couverture fonctionnelle • Mesure de la Couverture • Rafiner les assertions
- Transactions basées sur les Assertions

Applications réelles

- Ré-utilisation des Assertions • Modules de vérification • Exemple AMBA

Approfondissements

- Le Foundation Language et les Optional Branching Extensions (OBE)
- Les opérateurs Linear Temporal Logic LTL et Computational Tree Logic CTL
- Autres opérateurs de séquences • Ranges • Répétitions Non-consecutives and GoTo
- Endpoints • next_event • whilenot • within • forall • Macros