



# Formation Pratique Conception Altera Quartus II - Essentielle

v2014.08



<http://www.alse-fr.com>

**Objectifs** Cette formation pratique et dense de deux jours permet de maîtriser rapidement l'ensemble des connaissances de base indispensables à une bonne utilisation des outils de conception Altera et à la réussite des projets. Elle est alignée sur la dernière version de ces outils et chaque chapitre est suivi d'un exercice pratique.

Cette formation est ensuite complétée par notre Formation « **Avancée** » de trois jours.

**Pré-requis** Connaissances de base solides en électronique numérique et FPGAs.

**Durée/Lieu** Deux (2) jours soit 14 heures à Paris, ou sur site client.

**Horaires** typiquement 9h30 → 18h00, 9h00 → 18h00, soit 14 heures de cours.

**Prix** Formation publique à Paris par stagiaire : 1 290 € HT (2 jours) comprenant la fourniture des supports de cours, fichiers et repas de midi. Ce prix correspond à un règlement direct de l'entreprise. A partir de quatre ou cinq stagiaires, une formation sur site est envisageable.

ALSE est un Organisme de Formation Professionnelle Continue déclaré auprès de la DRTEFP depuis 1996 sous le numéro 26.21.01281.21. Cette formation peut donc être prise en charge dans ce cadre.

## Programme de la Formation « Essentielle » \*

### Journée 1

- **Introduction** aux Composants et Outils Altera  
Présentation rapide des familles de composants dont les plus récentes, ainsi qu'une revue de l'ensemble des différents outils de conception (dans leurs dernières versions) et du flot général. Support des OS. Nouveautés dernière version.
- Quartus II et le **Flot de Conception - Partie I**  
Méthodologie de design et Flow Quartus. Interface utilisateur, Environnement, Méthodes d'entrée de données de conception (HDL, Megawizard, Schémas graphiques, Memory Editor, State Machine Editor...). Base de la gestion de projet : création, organisation des fichiers source, choix du composant, édition HDL, synthèse logique, Intégration des outils tiers.  
*Exercice pratique complet.*
- Quartus II et le **Flot de Conception - Partie II**  
Assignment Editor, Assignations des broches, utilisation de l'éditeur de contraintes, vérification dynamique, Pin Planner, Import/Export CSV, Placement-Routage, contrôle du Fitter.  
*Exercice pratique sur maquette.*
- Quartus II et le **Flot de Conception - Partie III – Analyse Timing et Introduction aux Contraintes SDC**  
Rappel des bases de l'analyse timing. Introduction et terminologie TimeQuest / SDC.  
Guide de Survie pour le langage SDC, expliquant les contraintes essentielles (et suffisantes) pour contraindre un design Full Synchrone (en interne) avec entrées / sorties Asynchrones.
- Quartus II et le **Flot de Conception - Partie IV**  
Téléchargement et programmation de la cible, chaînes JTag FPGA et mixtes, programmation indirecte (JIC). JTag Server & utilisation distante via Ethernet.  
*Exercice pratique sur maquette (contraintes SDC, analyse Timing et Téléchargement)*
- **Utilisation avancée de Quartus II**  
Bases de données version-compatibles, Archivage intelligent des projets, création et comparaison de Révisions, Analyse par les Netlist Viewers : RTL, Technology, et FSM. Cross-probing, suppression intelligente des messages, Vérification automatique des règles de conception avec le Design Assistant (DRC). Les conseillers.  
*Exercice pratique.*

## Journée 2

- **Automatisation du flot de Conception** : pour plus de fiabilité et de productivité,  
Les tâches du flot peuvent être automatisées et sécurisées par des scripts en ligne de commande ou (mieux) en langage Tcl/Tk : Création automatique de projet, gestion des fichiers, archivage, nettoyage, compilation, création des bitstreams, test des résultats, etc...  
*Exercice pratique (scripts Tcl) sur maquette.*
- **Chip Planner.** Concept, utilité, mise en œuvre.
- **Estimation et Optimisation de Consommation, Utilisation de ModelSim.**  
Utilisation de PowerPlay, estimation précoce, estimation affinée par simulation, injection de vecteurs et analyse statistique. Utilisation de **ModelSim** pour la simulation timing post-layout, utilisation du GUI, automatisation par script Tcl. Options d'optimisation de la consommation, le conseiller Power Advisor.  
*Exercice pratique* : utilisation de ModelSim et Estimation de consommation
- **In-System Memory Content Editor et In-System Sources & Probes** : des outils simples mais tellement utiles !  
Concepts, domaines d'applications, Mise en Œuvre.  
*Exercice pratique*
- **SignalTap II**  
Analyse Temps Réel Embarquée de vos projets. Création des fichiers STP, types de buffers, méthode de stockage, choix des triggers, triggers avancés, visualisation des signaux HDL de type FSM, différents types d'acquisition.  
*Exercice pratique complet* sur carte.
- **SignalTap II Avancé**  
Options avancées de SignalTap II : qualifieurs pour le stockage, trigger par machine d'états, triggers avancés, différents types d'acquisition. Recompilation incrémentale. Power-Up Trigger. Scripting.
- **SignalProbe, Logic Analyzer Interface (optionnel)**  
Tirez avantage des outils d'instrumentation (JTag ou autre) pour la mise au point et l'analyse embarquée temps réel de vos projets. Ces outils sont fournis avec Quartus II (pilotage d'analyseurs logiques externes, injection et extraction de signaux). Concepts et Utilités.
- **SSN Analyzer (optionnel)** Concept, utilité, mise en œuvre.

Cette formation est suivie par la Formation **Avancée** (décrite pages suivantes).



# Formation Pratique Conception Altera Quartus II - Avancée

v2014.08



<http://www.alse-fr.com>

**Objectifs** Cette formation dense de trois jours est réservée utilisateurs ayant déjà acquis les bases car elle permet d'aborder les techniques les plus avancées : Analyse Timing approfondie avec Timequest (sur 2 jours), le Flot Incrémental, les méthodes de Timing Closure, et la Reconfiguration Partielle. Ces techniques sont indispensables pour tous les projets complexes, denses (et donc longs à compiler), et/ou ayant des interfaces rapides (interfaces mémoires DDR/QDR, liens LVDS, ADC, DAC, etc...) soumis à des contraintes timings fortes, avec multiples domaines d'horloges.

Cette formation est alignée sur la dernière version des outils de conception.

**Pré-requis** Pratique très fluide de l'ensemble des outils Altera et/ou participation préalable à la formation Quartus « Essentielle » de 2 jours.

**Durée/Lieu** Trois (3) jours soit 21 heures à Paris, ou sur site client.

**Horaires** typiquement 9h30 → 18h00, 9h00 → 18h00, 9h00 → 17h00 soit 21 heures de cours.

**Prix** Formation publique à Paris par stagiaire : 1 950 € HT (3 jours) comprenant la fourniture des supports de cours, fichiers et repas de midi. Ce prix correspond à un règlement direct de l'entreprise. A partir de quatre ou cinq stagiaires, une formation sur site est envisageable.

ALSE est un Organisme de Formation Professionnelle Continue déclaré auprès de la DRTEFP depuis 1996 sous le numéro 26.21.01281.21. Cette formation peut donc être prise en charge dans ce cadre.

## Programme de la Formation « Avancée » \*

### Journée 1 – TimeQuest / Essentiel

➤ **TimeQuest, et les contraintes SDC**

**Partie I – Introduction, Présentation des Concepts et de l'Interface Utilisateur.**

Rapide Introduction et terminologie TimeQuest. Méthodologie d'utilisation de TimeQuest depuis l'interface graphique et à partir des fichiers SDC. Contraindre son design, Générer des rapports timings, comprendre et savoir interpréter les rapports issus de TimeQuest. Flot de base avec Quartus.

*Exercice pratique*

➤ **Partie II – Rapports timing & Contraintes d'horloges**

Rapports Timings Avancés, Analyse des waveforms, Scripts Tcl, Reporting custom.

Cross probing avec les outils Quartus (Chip Planner, Technology Map Viewer)

Terminologie SDC et syntaxe. Contraintes sur les différents types d'horloges : horloges de base, horloges dérivées, horloges virtuelles, PLL. Analyses Core et Latency, incertitudes, analyse du jitter.

*Exercice pratique*

➤ **Partie III – Contraindre les IOs, Interfaces Synchrones**

Contrainte des interfaces Combinatoires, des interfaces Synchrones, délais minimum/maximum sur les IOs, utilisation des Horloges Virtuelles, Charges sur les IOs, Analyse avancée des IOs.

*Exercice pratique*

➤ **Partie IV – Chemins Asynchrones et Exceptions Timing**

Concepts avancés, Analyse Recovery-Removal, chemins Asynchrones et faux chemins, Analyse et contrainte des traversées de domaines d'horloges, multiplexage d'horloges, chemins multi-cycles.

*Exercice pratique*

➤ **Optimisation des Timings – Optimisation à la synthèse, Timing Driven Synthesis, WYSIWIG Resynthesis, Synthèse Physique, Retiming, Register duplication, Options du Fitter.**

➤ **Design Space Explorer.** Concept et utilité.

## Journée 2 – TimeQuest / Avancé

- **Partie I – Rappels SDC**  
Rapides rappels des contraintes SDC de bases.
- **Partie II – Exceptions Timings**  
Concepts avancés des contraintes multi-cycles en Setup et Hold. Gestion des exceptions et de leurs priorités dans Timequest. Analyse des Clock Enables, gestion des Fanouts. Rapports Timings associés.  
*Exercice pratique optionnel*
- **Partie III – Interfaces Source-Synchrones – SDR**  
Introduction Concept Interfaces Sources Synchrones. Schémas SDR et DDR, Center-aligned et Edge-aligned. Contrainte des interfaces Source-Synchrones SDR Input et Output. Analyse des différentes méthodes de contraintes (FPGA Centric ou Board System), Horloges Virtuelles, Gestion des PLL. Rapports Timings associés.  
*Exercice pratique*
- **Partie IV – Interfaces Source-Synchrones – DDR**  
Contrainte des interfaces Source-Synchrones DDR Input et Output. Analyse des différentes méthodes de contraintes (FPGA Centric ou Board System) Gestion des PLL, des DDIO. Gestion des Exceptions. Rapports Timings associés.  
*Deux Exercices pratiques, dont un optionnel*
- **Partie V – Design avec Feedback**  
Concept, analyse et contraintes associées. Gestion des cas Horloges et Data. Rapports Timings associés.  
*Exemple pratique*
- **Partie VI – Utilisation du Tcl pour Timequest**  
Utilisation du langage Tcl pour analyse timing avancée et custom, Command-Line, Rapports custom. Utilisation du langage Tcl pour création de contraintes avancées.
- **Partie VI – Analyse Timing des Liens LVDS**  
Analyse en fonction du Hardware (SERDES, ALT\_LVDS, etc ...) utilisé.  
Cas Transmission et Réception, DPA ou non. Concept, analyse et contraintes associées.  
*Exercice pratique optionnel*

## Journée 3 – Le Flot Incrémental + Reconfiguration Partielle

- **Méthodes d'optimisation pour améliorer la convergence timing (Timing Closure)**  
Options Avancées, Agressivité du Fitter, Gestion des horloges Global / Regional.
- **Partie I – Introduction au Flot Incrémental**  
Concepts, Avantages et Mise en Œuvre. Comment améliorer ou fiabiliser les résultats, favoriser le travail collaboratif, et gagner en temps de recompilation.
- **Partie II – Les Partitions.**  
Définition des Partitions, les recommandations à suivre. Gestions des chemins critiques, des passages de domaines d'horloges, *wrapper*. Le conseiller pour la compilation incrémentale.  
Types de partitions, choix à chaque recompilation. Design Partition Planner.
- **Partie III – Mise en place et Analyse de différents cas d'utilisation**  
Création des partitions en avance de phase ou en fin de projet. Gestion des black boxes. SignalTap et la compilation incrémentale. Gain de temps de recompilation, préservation des performances.  
*Exercice pratique*
- **Partie IV – Floorplanning par les régions LogicLock**  
Utilisation des régions LogicLock pour partitionner (floorplan). Définition et création des différents types de régions, utilisation dans le flot incrémental. Early ou Late Floorplan. Outil Early Timing Estimate.  
*Exercice pratique*
- **Partie V – Les Flots Top-Down et Flot Bottom-Up**  
Implémenter des flots bottom-up et top-down, particulièrement dans le cas des projets complexes ou difficiles. Utilisation des Virtual Pins. Netlist xqp. Utilisation des scripts. Recommandations et restrictions.  
*Exercice pratique optionnel*
- **La Reconfiguration Partielle.**  
Principes. Pour quel usage. Impact sur le flot de conception.

\* NB : Contenu et répartition sont fournis à titre indicatif et sont susceptibles d'être modifiés ou adaptés par l'instructeur.

**ALSE** est un organisme de **Formation Professionnelle Continue** déclaré auprès de la DRTEFP N° 26.21.01281.21.