



# Formation Pratique Interfaces Mémoires



<http://www.alse-fr.com>

**Pré-requis** Bonnes Connaissances de base en électronique numérique et conception FPGA.

**Objectifs** Cette **formation pratique et très dense** est destinée à faire comprendre la technologie et les spécificités des différents types de mémoires modernes et comment en tirer le meilleur parti. Elle explique donc l'impact de ces technologies pour les applications FPGA/ASIC qui les utilisent, ainsi que les techniques de contrôle qui permettent d'atteindre les meilleures performances en fonction des différentes applications. De très nombreuses architectures sont passées en revue. Bien entendu, l'aspect de plus en plus complexe de gestion des timings côté composants et PCB est soigneusement abordé. Le stagiaire mettra en pratique ces connaissances à travers plusieurs projets FPGA, la plupart sur des maquettes fonctionnelles. On notera qu'une grande partie des connaissances acquises sont génériques, mais qu'une partie importante est dédiée aux composants et aux outils Altera, qui sont également utilisés lors des exercices pratiques.

Ces exercices **indispensables** pour un réel apprentissage, **assurent aussi un contrôle continu de l'acquisition des compétences.**

Cette formation sera **sanctionnée** par la délivrance d'**une fiche de présence.**

**Durée** Deux (2) jours soit 14 heures - horaires : typiquement 9h30 → 18h00, 9h00 → 17h30

## Programme

*indicatif* résumé de la formation

NB: ce programme est susceptible d'évoluer

### Journée 1

➤ **Technologies des Mémoires non Volatiles (Flash).**

Mémoires Flash (Nand, Nor, Burst mode...), SDcard. Parallèles et Série (SPI & Quad-SPI).  
Avantage des modes synchrones et burst. Problématique et caractéristiques de Contrôleurs (effacement, programmation...). Interface CFI.

Exercice Pratique : Mise en œuvre d'un contrôleur Flash.

➤ **Technologies des Mémoires Statiques**

Mémoires Statiques et pseudo-Statiques (SRam, SSRam, PSRam, QDR, QDRII).  
Avantages et inconvénients de ces mémoires. Modes asynchrone, synchrone et mode burst.  
Problématique et caractéristiques des Contrôleurs.

Exercice Pratique : Simulation et visualisation des performances d'un contrôleur QDR.

➤ **Technologies des Mémoires Dynamiques – Partie I.**

Mémoires Dynamiques (SDR, DDR, DDRII, DDRIII, LPDDR...).  
Types et méthodes d'accès, Gestion des Banques, Refresh.  
Structure des Interfaces Mémoires : DataPath – Contrôleur – Gestion des Ports.  
Caractéristiques importante du DataPath. Description des datapaths Altera UniPHY et AltMemPHY.  
Stratégies de gestion des accès par le contrôleur,  
Intérêt de l'utilisation d'un Multi-Port Front End (MPFE).

Introduction aux nouveaux Contrôleurs Mémoires en dur (HMC) et Soft (SMC).

Exercice Pratique : Mise en Œuvre et Simulation d'un contrôleur DDR3.

## Journée 2

### ➤ **Mémoires Dynamiques – Partie II**

Caractéristiques Électriques des Entrées Sorties, formats de tensions, terminaisons, adaptation d'impédance, contraintes FPGA. Technologie des cellules d'E/S des FPGAs modernes, méthodes de resynchronisation, utilisation des DLLs et PLLs. Cas des cellules avec resynchronisation active dynamique. Gestion du Leveling sur mémoire DDR3.

Étude du cas des circuits Altera récents (Cyclone V, Arria V, Stratix V)

Exercice Pratique : Choix et Assignation des broches pour une Interface DDR3.

Génération & compilation d'un projet FPGA complet avec interface DDR3.

### ➤ **Mémoires Dynamiques et Mémoires Synchrones - Partie III**

Définition de l'ensemble des timings d'échange de données.

Structures des I/Os pour gérer les transferts source-synchronous, importance des timings de routage PCB.

Avantages & Inconvénients des DataPaths auto-synchronisants (p.ex. UniPHY)

Application à la gestion de contraintes SDC et scripts de vérification.

Mise en œuvre de tests embarqués, outils de debug des interfaces mémoires.

Exercice Pratique : Validation des Timings sur un projet intégrant un contrôleur DDR3

Démonstration sur carte avec observation temps réel des signaux internes par Analyse Logique Embarquée et des résultats de calibration (intégrité de signal).

### ➤ **Principes Généraux d'Architecture** en vue d'obtenir des **performances** élevées de bande passante.

Technologie d'amélioration de performance par Gestion des banques et de l'ordering (exemple du contrôleur Altera HPMC II).

Importance de la largeur des données (Half Rate, Quad Rate), goulot d'étranglement et limitation des taux de transfert effectifs.

Problématique de la resynchronisation des données entre domaines d'horloges (performances, latence, ...).

Influences des CPUs - Principe des système de caches, Mode Burst.

Principe des DMA évolués (SGDMA)

Avantage des Contrôleurs multi-ports, choix des méthodes et réglage de l'arbitrage entre ports.

NB : Contenu et répartition sont fournis à titre **indicatif** et sont susceptibles d'être modifiés ou adaptés par l'instructeur.