



# Formation Pratique Intel FPGAs Stratix10 - Optimisation

<http://www.alse-fr.com>

**Objectifs** Cette formation est la **suite** du module **Stratix 10 – Essential**.

Elle s'adresse précisément aux **concepteurs RTL** qui apprendront à **analyser puis à modifier en profondeur le code RTL** afin de l'optimiser pour l'architecture **Stratix 10**.

Ces optimisations font appel à des **principes complexes et sophistiqués**.

Les chapitres sont suivis d'exercices pratiques indispensables pour un réel apprentissage qui occupent environ 50 % du temps de la formation. Ces exercices assurent aussi un contrôle continu de l'acquisition des compétences.

Cette formation sera sanctionnée par la délivrance d'une fiche de présence.

**Pré-requis** Avoir suivi la formation **Stratix 10 – Essential**. Être un **concepteur RTL compétent**.

La connaissance de SystemVerilog est recommandée sans être absolument obligatoire.

**Durée** **Un (1) jour soit 7 heures effectives**. Horaires : typiquement 9h00 → 17h45.

**Prix** **750 € HT**

ALSE est un Organisme de Formation Professionnelle Continue déclaré auprès de la DIRECCTE depuis 1996 sous le numéro 26.21.01281.21. Cette formation peut donc être prise en charge dans ce cadre.

## Programme de la Formation

➤ Rappels fondamentaux et approfondissements sur l'architecture HyperFlex.

Les principes de l'Hyper-Retiming et ses restrictions

Les principes de l'Hyper-Pipelining

Les principes de l'Hyper-Optimisation.

Problématiques et optimisation des systèmes bouclés

➤ Évaluation de l'Hyper-Optimisation.

Retiming limits, Critical chains, Short Path / Long Path, Loop critical chains,

Utilisation pratique de Fast Forward Compile et du Critical Chain Viewer

➤ Rappels essentiels de SystemVerilog pour faciliter les exercices.

➤ Optimisation des systèmes bouclés (Loops)

Loop Analysis, Loop Examples and various situations

Special case of FIFO control

➤ Premières Solutions pour les Loops :

- Unrolling Loops

- FIFO control and skid buffers

- Forward flow control

➤ Techniques de Pré-calcul et Décomposition de Shannon

- Théorie

- Applications et exemples

➤ TDM retiming

Application to speed up Loops

Loop pipelining Theory. Mathematical requirements.

Application example : IIR.

Case study BCH encoder.

\* NB : Contenu et répartition sont fournis à titre indicatif et sont susceptibles d'être modifiés ou adaptés par l'instructeur.